

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09148562 A**(43) Date of publication of application: **06.06.97**

(51) Int. Cl.

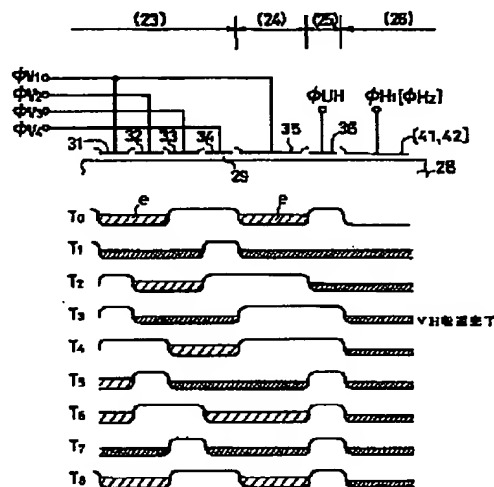
**H01L 29/762****H01L 21/339****H01L 27/148****H04N 5/335**(21) Application number: **07309395**(71) Applicant: **SONY CORP**(22) Date of filing: **28.11.95**(72) Inventor: **NISHI NAOKI**(54) **SOLID STATE IMAGE SENSING ELEMENT**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce transfer time of signal charges from a vertical transfer register to a horizontal transfer register.

**SOLUTION:** Two gate parts are formed between a vertical transfer register 23 and a horizontal transfer register 26. One gate part on the vertical transfer register 23 side is driven by a clock pulse  $\phi_{V1}$  of any one phase of a vertical transfer clock pulse for driving the vertical transfer register 23. The other gate part on the horizontal transfer register 16 side is driven by an independent clock pulse  $\phi_{VH}$ .

COPYRIGHT: (C)1997,JPO



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-148562

(43) 公開日 平成9年(1997)6月6日

(51) IntCl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/762			H 0 1 L 29/76	3 0 1 A
21/339			H 0 4 N 5/335	F
27/148			H 0 1 L 27/14	B
H 0 4 N 5/335				

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21) 出願番号 特願平7-309395

(22) 出願日 平成7年(1995)11月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 西 直樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

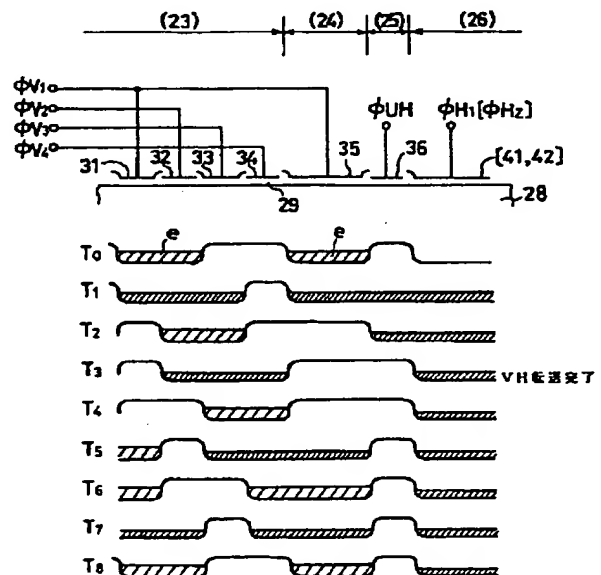
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【課題】 CCD固体撮像素子において、垂直転送レジスタから水平転送レジスタへの信号電荷の転送時間の短縮化を図る。

【解決手段】 垂直転送レジスタ23と水平転送レジスタ26との間に2つのゲート部が設けられ、垂直転送レジスタ23側の一方のゲート部が垂直転送レジスタを駆動する垂直転送クロックパルスのいずれかの相のクロックパルス $\phi_{V1}$ によって駆動され、水平転送レジスタ26側の他方のゲート部が独立のクロックパルス $\phi_{VH}$ によって駆動される構成とする。



## 【特許請求の範囲】

【請求項1】 垂直転送部と水平転送部との間に2つのゲート部が設けられ、

前記垂直転送部側の前記一方のゲート部が前記垂直転送部を駆動する垂直転送クロックパルスのいずれかの相のクロックパルスによって駆動され、

前記水平転送部側の前記他方のゲート部が前記垂直転送クロックパルスとは独立のクロックパルスによって駆動されて成ることを特徴とする固体撮像素子。

【請求項2】 前記垂直転送部側の前記一方のゲート部の電極面積が、前記垂直転送部の各転送電極の面積より広いことを特徴とする請求項1に記載の固体撮像素子。

【請求項3】 前記垂直転送部と前記ゲート部の上に夫々シャント配線が形成されて成ることを特徴とする請求項1に記載の固体撮像素子。

【請求項4】 インターライン転送方式のCCD固体撮像素子構造を有することを特徴とする請求項2に記載の固体撮像素子。

【請求項5】 前記垂直転送部と前記ゲート部の上に夫々シャント配線が形成され、

転送電極が3層構造の電極材で形成され、

前記水平転送部の転送電極が2層目及び3層目の電極材で形成され、前記シャント配線下のバッファ層が3層目の電極材で形成されて成ることを特徴とする請求項4に記載の固体撮像素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、固体撮像素子、特にCCD固体撮像素子に関する。

## 【0002】

【従来の技術及び発明が解決しようとする課題】図5～図7は、従来のインターライン転送方式（IT方式）のCCD固体撮像素子の一例を示す。このCCD固体撮像素子1は、図5に示すように、複数の受光部2がマトリックス状に配列され、各受光部列の一侧にCCD構造の垂直転送レジスタ3が形成され、各垂直転送レジスタ3の終段にCCD構造の水平転送レジスタ4が接続され、水平転送レジスタ4の最終段に出力部5が接続されて成る。この例では垂直転送レジスタ3は、4相の垂直転送クロックパルス $\phi V_1$ 、 $\phi V_2$ 、 $\phi V_3$ 及び $\phi V_4$ によって駆動され、水平転送レジスタ4は、2相の水平転送クロックパルス $\phi H_1$ 及び $\phi H_2$ によって駆動される。

【0003】このCCD固体撮像素子1では、受光部2において受光量に応じた信号電荷が蓄積され、この受光部2の信号電荷が垂直ブランキング期間内に読み出しゲート部を通じて垂直転送レジスタ3に読み出され、水平ブランキング期間内に一水平ラインの信号電荷が垂直転送レジスタ3から水平転送レジスタ4に転送される。そして、1水平走査期間で信号電荷が水平転送レジスタ4内を転送され、出力部5を通じて電荷-電圧変換されて

出力される。

【0004】垂直転送レジスタ3では、図7に示すように、半導体領域からなる転送領域6上に絶縁膜8を介して4相のクロックパルス $\phi V_1 \sim \phi V_4$ が夫々印加される第1転送電極71、第2転送電極72、第3転送電極73及び第4転送電極74が順次繰返し配列形成され、垂直転送レジスタ3の最終段に第3転送電極73を配した構成となっている。9は水平転送レジスタ4の転送電極を示す。

【0005】4相の垂直転送クロックパルス $\phi V_1 \sim \phi V_4$ は、図6に示すタイミングで各転送電極71～74に印加される。垂直転送レジスタ3から水平転送レジスタ4への信号電荷eの転送は、図7のポテンシャル図で示すように行われる。即ち、時点 $T_0$ で第1及び第2転送電極71及び72下に蓄積されていた信号電荷eが垂直転送クロックパルス $\phi V_1 \sim \phi V_4$ によって水平ブランキング期間内に時点 $T_1 \sim$ 時点 $T_6$ を経て水平転送レジスタ4に転送される。つまり、時点 $T_6$ で垂直-水平間転送が完了する。そして、時点 $T_6$ で次の信号電荷が第1及び第2の転送電極71及び72下に蓄積される。

【0006】ところで、高品位テレビジョン（HDTV）用の固体撮像素子など水平転送レジスタを2本備えたCCD固体撮像素子の場合には、限られた水平ブランキング期間に垂直転送レジスタから2本の水平転送レジスタへ振り分けるように信号電荷を転送しなければならない。

【0007】2本の水平転送レジスタ間の信号電荷の転送（即ち水平-水平間転送）は、垂直-水平間転送が完了した後から行われる。そして、特にHDTV用の固体撮像素子では、水平ブランキング期間も短くなっており、そのためにも、垂直-水平間転送に要する時間を出来るだけ短縮することが望まれる。

【0008】一方、フレームインターライン転送（FIT）方式のCCD固体撮像素子では、図8～図10に示すように、その垂直-水平間転送をより速く終わらせるようにした構成が提案されている。このフレームインターライン転送方式のCCD固体撮像素子10は、図8に示すように、複数の受光部2がマトリックス状に配列され、各受光部列の一侧にCCD構造の垂直転送レジスタ3が設けられた撮像部11と、撮像部11の垂直転送レジスタ3に対応したCCD構造の複数の垂直転送レジスタ12を有してなる蓄積部13と、CCD構造の水平転送レジスタ部4と、その終段に接続された出力部5とを有して構成される。

【0009】撮像部11の垂直転送レジスタ3は、4相の垂直転送クロックパルス $\phi IV_1$ 、 $\phi IV_2$ 、 $\phi IV_3$ 及び $\phi IV_4$ によって駆動され、蓄積部13の垂直転送レジスタ12は4相の垂直転送クロックパルス $\phi MV_1$ 、 $\phi MV_2$ 、 $\phi MV_3$ 及び $\phi MV_4$ によって駆動され、水平転送レジスタ4は、2相の水平転送クロックパ

ルス $\phi H_1$  及び $\phi H_2$  によって駆動される。

【0010】そして、特に、この場合、図8及び図10に示すように、蓄積部13の垂直転送レジスタ12の終段と水平転送レジスタ4との間に2つのゲート部14及び15が設けられ、第1のゲート部14及び第2のゲート部15に夫々垂直転送クロックパルス $\phi MV_1 \sim \phi MV_4$  とは独立のクロックパルス $\phi VH_1$  及び $\phi VH_2$  が印加される。

【0011】このCCD固体撮像素子10では、受光部2の信号電荷が垂直ブランキング期間内に撮像部11の垂直転送レジスタ3に読み出されると共に、この垂直転送レジスタ3から蓄積部13の垂直転送レジスタ12に高速転送され、次いで、この垂直レジスタ12に蓄積された信号電荷が水平ブランキング期間内に第1及び第2のゲート部14及び15を介して水平転送レジスタ4へ転送される。そして、1水平走査期間で信号電荷が水平転送レジスタ4を転送し、出力部5を通じて電荷-電圧変換されて出力される。

【0012】蓄積部13の垂直転送レジスタ12では、図10に示すように、半導体領域からなる転送領域17上に絶縁膜18を介して4相の垂直転送クロックパルス $\phi IV_1 \sim \phi IV_4$  が夫々印加される第1転送電極161、第2転送電極162、第3転送電極163及び第4転送電極164が順次繰返し配列形成され、終段の第4転送電極164の後段に2つのゲート部14及び15のゲート電極191及び192が配された構成となっている。9は水平転送レジスタ4の転送電極である。

【0013】蓄積部13の各転送電極161~164に与える4相の垂直転送クロックパルス $\phi MV_1 \sim \phi MV_4$  と、2つのゲート電極191及び192に与える独立のクロックパルス $\phi VH_1$ 、 $\phi VH_2$  は、図9に示すタイミングで印加される。蓄積部13の垂直転送レジスタ12から水平転送レジスタ4への信号電荷の転送は、図10のポテンシャル図で示すように行われる。

【0014】即ち、時点 $T_0$ で第1のゲート部14下に蓄積されていた信号電荷 $e$ が垂直転送クロックパルス $\phi MV_1 \sim \phi MV_4$  と同期した独立のクロックパルス $\phi VH_1$  及び $\phi VH_2$  によって水平ブランキング期間内に時点 $T_1 \sim T_3$  を経て水平転送レジスタ4に転送される。つまり、時点 $T_3$ で垂直-水平間転送が完了する。そして、時点 $T_8$ で次の信号電荷 $e$ が第1のゲート部14下に蓄積される。

【0015】この構成では、4相のクロックパルス $\phi MV_1 \sim \phi MV_4$  が与えられる転送電極161~164とは別に第1及び第2のゲート電極191及び192を設け、第1のゲート電極191下に水平転送レジスタ4に送る手前の信号電荷 $e$ を蓄積し、この第1のゲート電極191と水平転送レジスタ4との間の第2のゲート電極192を介して電荷転送することによって、図5のCCD固体撮像素子1に比較して垂直-水平間転送の時間を

短縮することができる。

【0016】ところで、通常、CCD固体撮像素子の転送電極は多結晶シリコンで形成されており、HDTV用のCCD固体撮像素子では、伝搬遅延を防ぐため多結晶シリコンの転送電極上にAl等の金属材料による裏打ち配線、いわゆるシャント配線が形成される。シャント配線は、多結晶シリコンの転送電極とのAl-Si合金でポテンシャルが狂うのを防ぐために、転送電極とシャント配線間との間に多結晶シリコンよりなるバッファ層を介挿し、このバッファ層を介してシャント配線と転送電極のコンタクトが行われる。この場合、バッファ層の1の位置で転送電極とバッファ層がコンタクトされ、バッファ層の他の位置でバッファ層とシャント配線がコンタクトされる。

【0017】バッファ層を含むシャント配線は、撮像部11では垂直転送レジスタ3上に沿って垂直方向に形成され、蓄積部では垂直転送レジスタ12と直交するように水平方向に形成される。通常、垂直転送レジスタの転送電極161~164及びゲート電極191~192は1層目と2層目の多結晶シリコンで形成され、バッファ層は3層目の多結晶シリコンで形成され、水平転送レジスタの転送電極9は2層目と3層目の多結晶シリコンで形成される。

【0018】第1及び第2のゲート電極191及び192は、非常に細く形成されるが、蓄積部13では垂直転送レジスタ12及び第1、第2のゲート部のシャント配線は互いに水平方向に形成されることから、第1、第2のゲート部上のシャント配線の加工が可能となっている。

【0019】しかし乍ら、この第1及び第2のゲート部14および15の構成は、図1のインターライン転送(IT)方式のCCD固体撮像素子に適用することが困難であった。その理由は、垂直転送レジスタ3のシャント配線及びバッファ層が垂直方向に形成され、2つのゲート部14、15のシャント配線及びバッファ層が水平方向に配され、且つ、バッファ層が3層目の多結晶シリコンで形成されることから、垂直転送レジスタ3と2層目、3層目の多結晶シリコンで形成され水平転送レジスタとの狭い領域に平行する2本のバッファ層を含むシャント配線を加工することは、製造上極めて困難で、実質的に製造不可能であった。

【0020】本発明は、上述の点に鑑み、シャント配線の問題を解決し、かつ垂直-水平間転送の時間を短縮できるようにした固体撮像素子を提供するものである。

【0021】

【課題を解決するための手段】本発明に係る固体撮像素子は、垂直転送部と水平転送部との間に2つのゲート部が設けられ、垂直転送部側の一方のゲート部が垂直転送部を駆動する垂直転送クロックパルスのいずれかの相のクロックパルスによって駆動され、水平転送部側の他方

のゲート部が垂直転送クロックパルスとは独立のクロックパルスによって駆動される構成とする。

【0022】この構成においては、垂直転送部と水平転送部との間に2つのゲート部を有することによって、垂直転送部から水平転送部への信号電荷の転送の時間を短縮することができる。また、2つのゲート部のうち一方は垂直転送部のクロックパルスで駆動し、他方のゲート部が独立のクロックパルスで駆動する構成であるので、独立のクロックパルスが1つで済み、タイミングジェネレータの作成が楽になる。さらに、ゲート部のシャント配線は1つのゲート部のみでよく、製造可能となる。

【0023】

【発明の実施の形態】以下、図1～図4を参照して本発明によるCCD固体撮像素子の実施例について説明する。

【0024】図1は、本発明をインターライン転送（IT）方式のCCD固体撮像素子に適用した場合の概略的構成図である。このCCD固体撮像素子21は、複数の受光部22がマトリックス状に配列され、各受光部列の一侧に垂直転送部、即ちCCD構造の垂直転送レジスタ23が形成され、各垂直転送レジスタ23の終段に図2及び図4で示す2つのゲート部24、25を介して水平転送部、即ちCCD構造の水平転送レジスタ26が接続され、水平転送レジスタ26の最終段に出力部27が接続されて成る。

【0025】垂直転送レジスタ23は、4相の垂直転送クロックパルス $\phi V_1$ 、 $\phi V_2$ 、 $\phi V_3$ 及び $\phi V_4$ によって駆動され、水平転送レジスタ26は2相の水平転送クロックパルス $\phi H_1$ 及び $\phi H_2$ によって駆動される。また、2つのゲート部24及び25のうち、垂直転送レジスタ23側の一方のゲート部24は垂直転送クロックパルス $\phi V_1 \sim \phi V_4$ のうちのいずれかの相のクロックパルス、本例では第1相のクロックパルス $\phi V_1$ によって駆動され、水平転送レジスタ26側の他方のゲート部25は、垂直転送クロックパルス $\phi V_1 \sim \phi V_4$ とは独立したクロックパルス $\phi HV$ によって駆動される。

【0026】図2は、垂直転送レジスタ23から水平転送レジスタ26に至る要部の拡大平面図である。垂直転送レジスタ23は、半導体領域からなる転送領域28上に絶縁膜29（図4参照）を介して4つの転送電極、即ち第1転送電極31、第2の転送電極32、第3の転送電極33及び第4の転送電極34が順次繰返し形成されて成る。第2及び第4の転送電極32及び34は1層目の多結晶シリコンで形成され、第1及び第3の転送電極31及び33は2層目の多結晶シリコンで形成される。各転送電極31～34は、受光部22を除くようにして各垂直転送レジスタ23に共通となるように水平方向に帯状に形成される。垂直転送レジスタ23の最終段では、第4の転送電極34が形成される。

【0027】第1のゲート部24は各垂直転送レジスタ

23に連通するように、転送領域28上にゲート絶縁膜29を介して水平方向に延びる帯状の第1ゲート電極35を形成して構成され、第2のゲート部25は、同様に転送領域28上にゲート絶縁膜29を介して水平方向に延びる帯状の第2ゲート電極36を形成して構成される。第1ゲート電極35は2層目の多結晶シリコンで形成され、第2ゲート電極36は1層目の多結晶シリコンで形成される。

【0028】水平転送レジスタ26は、絶縁膜29を介して2つの転送電極41及び42が順次繰返し形成され、一方の転送電極41が2層目の多結晶シリコンで形成され、他方の転送電極42が3層目の多結晶シリコンで形成される。

【0029】各垂直転送レジスタ23上には、夫々3層目の多結晶シリコンからなるバッファ層43〔431、432、433、434〕を介して例えばA1よりなるシャント配線44〔441、442、443、444〕が形成され、このシャント配線44がバッファ層43を介して対応する転送電極31～34に接続される。即ち、第1の3つ置きシャント配線441は第1転送電極31に接続され、第2の3つ置きシャント配線442は第2転送電極32に接続され、第3の3つ置きシャント配線443は第3転送電極33に接続され、第4の3つ置きシャント配線444は第4転送電極34に接続される。そして、第1の3つ置きシャント配線441に接続されるバッファ層43が第1ゲート電極35に延長して之と接続される。

【0030】そして、第1の3つ置きシャント配線441に垂直転送クロックパルス $\phi V_1$ が印加され、第2の3つ置きシャント配線442に垂直転送クロックパルス $\phi V_2$ が印加され、第3の3つ置きシャント配線443に垂直転送クロックパルス $\phi V_3$ が印加され、第4の3つ置きシャント配線444に垂直転送クロックパルス $\phi V_4$ が印加される。これによって、第1転送電極31と第1ゲート電極35にクロックパルス $\phi V_1$ が印加され、第2転送電極32、第3転送電極33及び第4転送電極34に夫々クロックパルス $\phi V_2$ 、 $\phi V_3$ 及び $\phi V_4$ が印加されることになる。

【0031】一方、第2ゲート電極36と第1ゲート電極35上にわたるように3層目の多結晶シリコンからなるバッファ層46が形成され、さらに第2ゲート電極36と第1ゲート電極35にわたる幅で水平方向に沿って例えばA1よりなるシャント配線446が形成され、このシャント配線446と第2ゲート電極36がバッファ層46を介して接続される。このシャント配線446を通して第2ゲート電極36に独立のクロックパルス $\phi VH$ が印加される。

【0032】尚、図2において、48はシャント配線44〔441、442、443、444及び446〕とバッファ層43、46とのコンタクト部、49はバッファ

層43、46と各対応する転送電極31～34及びゲート電極35、36とのコンタクト部である。

【0033】ここで、第1ゲート部24のゲート電極35の面積は、図4で示すように垂直転送レジスタ23の各転送電極31～34、第2ゲート部25のゲート電極36の面積より広く設定される。この第1ゲート部24下では第1及び第2転送電極31及び32下の電荷量と同等の電荷量が蓄積される。

【0034】尚、第1ゲート部24に与えるクロックパルスは、垂直転送レジスタ23の最終段のクロックパルスがいずれの相であるかによって変わる。上例では最終段が第4相クロックパルス $\phi V_4$ で終わる場合であるので第1ゲート部24には第1相クロックパルス $\phi V_1$ を印加している。その他、最終段が第1相クロックパルス $\phi V_1$ で終わる場合であれば第1のゲート部24に第2相クロックパルス $\phi V_2$ を与え、最終段が第2相クロックパルス $\phi V_2$ で終わる場合であれば第1のゲート部24に第3相クロックパルス $\phi V_3$ を与え、最終段が第3相クロックパルス $\phi V_3$ で終わる場合であれば第1ゲート部24には第4相クロックパルス $\phi V_4$ を与えるようにする。

【0035】図3は、本実施例の垂直転送クロックパルス $\phi V_1 \sim \phi V_4$ と独立のクロックパルス $\phi VH$ のタイミングを示し、図4は垂直転送レジスタ23から水平転送レジスタ4へ信号電荷 $e$ を転送する際の各時点 $T_0 \sim T_8$ でのポテンシャルを示す。

【0036】上述のCCD固体撮像素子21においては、前述と同様に受光部22の信号電荷が垂直ブランキング期間内に読み出しゲート部と通じて垂直転送レジスタ23に読み出され、水平ブランキング期間内に一水平ラインの信号電荷が垂直転送レジスタ23から水平転送レジスタ26に転送され、1水平走査期間で水平転送レジスタ4内を転送し、出力部27を通じて電荷-電圧変換されて出力される。

【0037】そして、このCCD固体撮像素子21では、特に、垂直転送レジスタ23と水平転送レジスタ26間に夫々垂直転送クロックパルス $\phi V_1$ 及び独立のクロックパルス $\phi VH$ が印加される第1ゲート部24及び第2ゲート部25を設けたことにより、垂直転送レジスタ23から水平転送レジスタ26へ信号電荷 $e$ を転送する際、時点 $T_0 \sim$ 時点 $T_3$ の短い時間で転送を完了することができる。

【0038】即ち、図4に示すように、時点 $T_0$ で第1ゲート部24下に蓄積されていた信号電荷 $e$ は、図3のタイミングで示すクロックパルス $\phi V_1$ 、 $\phi VH$ によって水平ブランキング期間内に時点 $T_1 \sim T_3$ を経て水平転送レジスタ26に転送されることになる。つまり、時点 $T_3$ で信号電荷 $e$ の垂直-水平間転送が完了する。そして、時点 $T_4$ で次の信号電荷 $e$ が第1ゲート部24下に蓄積される。

【0039】この垂直-水平間転送の時間は、前述の図10の例と同じ時間であり、従来の図5～図7に示すインターライン転送方式のCCD固体撮像素子1の場合に比較して大幅に時間を短縮することができる。しかも、図8～図10の従来例に比較して独立のクロックパルスを1つ減らすことができ、必要な端子数が削減できるため、タイミングジェネレータの作成が楽になる。同時にデバイスの端子数を削減できる。

【0040】また、独立のクロックパルス $\phi VH$ が印加されるゲート部が1つ（第2ゲート部25のみ）であるため、このゲート部25へのバッファ層46を含めたシャント配線446は、余裕をもって形成することができる。前述のシャント配線の問題を解決することができる。

【0041】第1ゲート部24のゲート電極35の面積を他の各転送電極31～34よりも大きくすることにより、水平走査期間中、この第1のゲート部24において信号電荷 $e$ を蓄積でき、良好な電荷転送が行える。

【0042】さらに、このCCD固体撮像素子21は、複雑な加工を必要とせずに従来と同じ工程で、製造することができる。

【0043】本例のインターライン転送方式のCCD固体撮像素子21は、垂直-水平間の転送時間を短縮することができるので、複数、例えば2本の水平転送レジスタを有するHDTV用のCCD固体撮像素子に適用して好適ならしめる。

【0044】上例ではインターライン転送方式のCCD固体撮像素子に適用したが、その他フレームインターライン転送方式のCCD固体撮像素子にも適用できるものである。

【0045】

【発明の効果】本発明の固体撮像素子によれば、垂直転送部と水平転送部の間に2つのゲート部を配し、垂直転送部側の一方のゲート部に垂直転送部を駆動するいずれかの相の垂直転送クロックパルスを印加し、水平転送部側の他方のゲート部に独立のクロックパルスを印加するように構成したので、信号電荷の垂直-水平間転送に要する時間を短縮することができる。

【0046】また、図8の従来例に比べて独立のクロックパルスを1つ削減することができ、タイミングジェネレータの作成を楽にすることができる等、構成の簡単化が図れる。同時に撮像素子の端子数を削減することができる。

【0047】垂直転送部側の一方のゲート部のゲート電極面積を垂直転送部の各転送電極の面積より広くすることにより、水平走査期間に、一方のゲート部下に信号電荷を蓄積することができ、電荷転送を良好にする。

【0048】ゲート部上へのシャント配線の形成が容易となり、特に、インターライン転送方式のCCD固体撮像素子に対する適用が可能になる。

【0049】さらに、複数の水平転送部を有する例えば高品位テレビ用のCCD固体撮像素子に適用して好適である。

【図面の簡単な説明】

【図1】本発明による固体撮像素子の一例を示す概略的構成図である。

【図2】本発明による固体撮像素子の要部の拡大平面図である。

【図3】本発明に係る駆動パルスのタイミングチャートである。

【図4】本発明に係る垂直-水平間転送時のポテンシャル図である。

【図5】従来の固体撮像素子の一例を示す概略的構成図である。

【図6】図5の駆動パルスのタイミングチャートである。

【図7】図5の垂直-水平間転送時のポテンシャル図である。

【図8】従来の固体撮像素子の他の例を示す概略的構成図である。

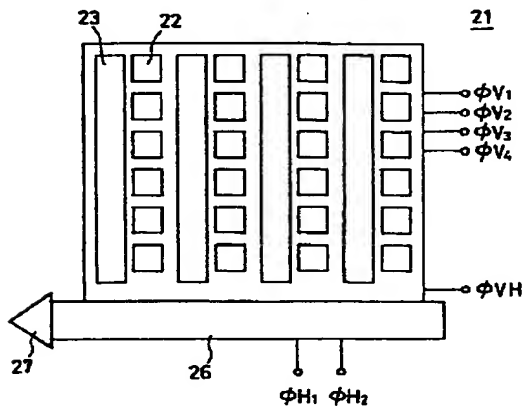
【図9】図8の駆動パルスのタイミングチャートである。

【図10】図5の垂直-水平間転送時のポテンシャル図である。

【符号の説明】

- 21 CCD固体撮像素子
- 22 受光部
- 23 垂直転送レジスタ
- 24, 25 ゲート部
- 26 水平転送レジスタ
- 27 出力部
- 31~34, 41, 42 転送電極
- 35, 36 ゲート電極
- 43 バッファ層
- 44〔441~444〕 シャント配線

【図1】



本実施例の構成図

【図6】

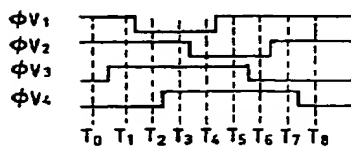
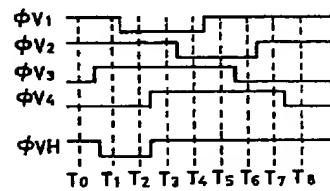


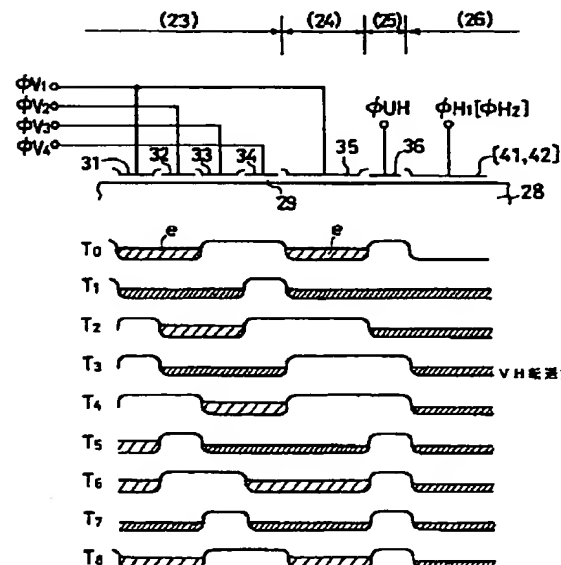
図5の駆動パルスのタイミングチャート

【図3】

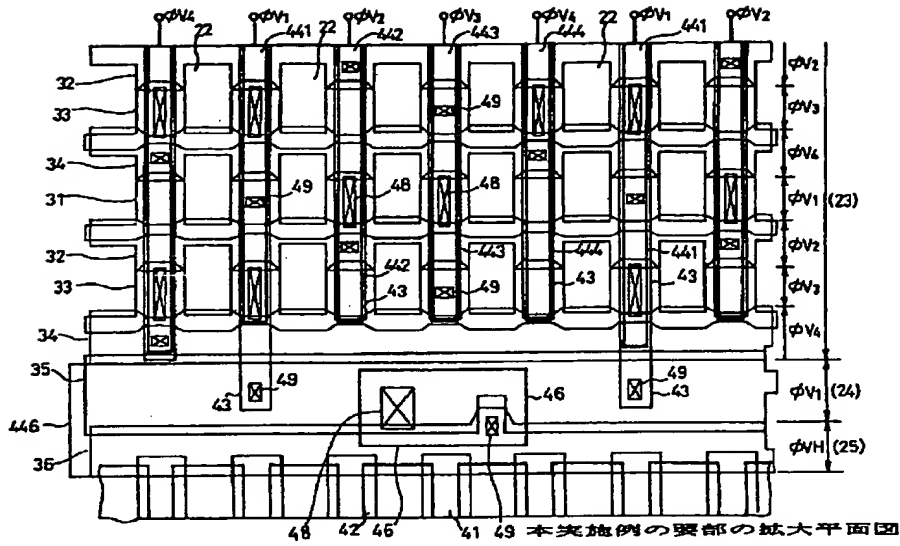


本実施例の駆動パルのタイミングチャート

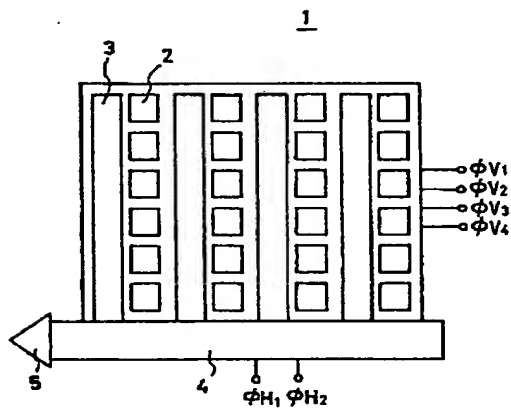
【図4】



【図2】



【図5】



従来例の構成図

【図9】

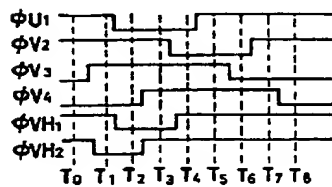


図8の駆動パルスのタイミングチャート

【図7】

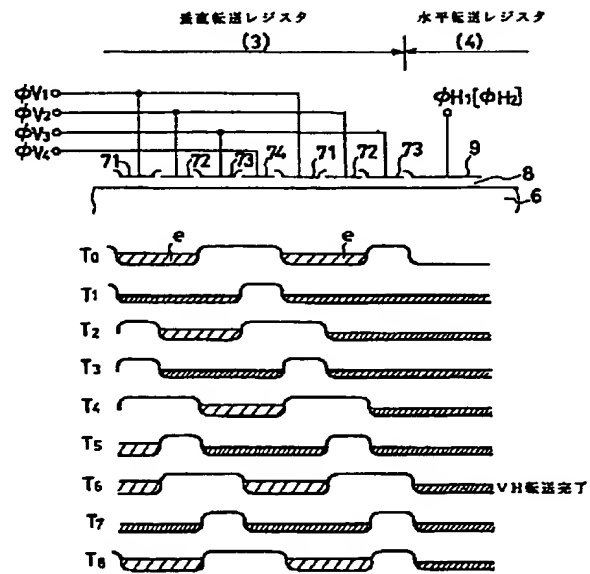


図5の垂直-水平間転送時のポテンシャル図



【図10】

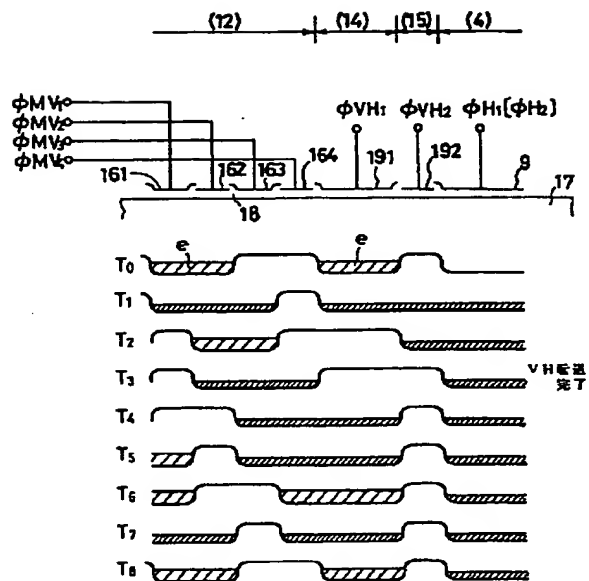


図8の垂直—水平間転送時の  
ポテンシャル図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**